

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-054693

(43)Date of publication of application : 26.02.1999

(51)Int.Cl.

H01L 25/065
H01L 25/07
H01L 25/18

(21)Application number : 09-203224

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 29.07.1997

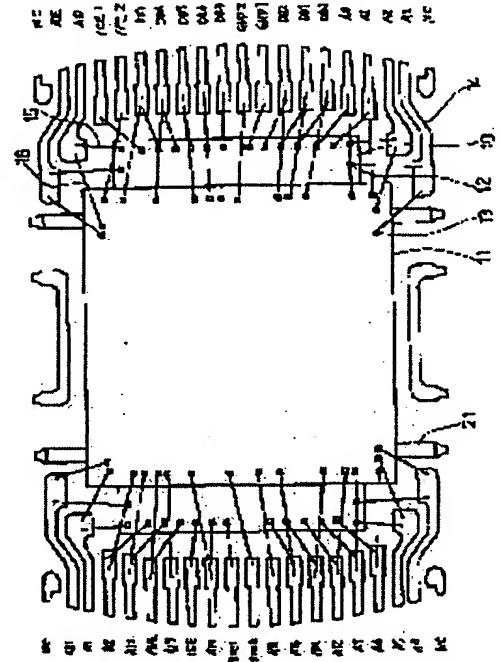
(72)Inventor : YONEYAMA AKIRA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a large capacity and high function semiconductor device, by stacking memory chips on an island, and bonding wires from each chip to a common terminal.

SOLUTION: On an island, a first semiconductor memory chip 10 is mounted, on which a second semiconductor memory chip 11 is fixed. Pads wherein the first and the second semiconductor memory chips have the same function are adjacently arranged, and bonded to a common lead terminal 14 by using individual bonding wires 15, 16. Exclusive chip enabling signals /CE1/CE2 are individually applied to the respective chips 10, 11, and write and read of data are executed to either one of the memory chips.



LEGAL STATUS

[Date of request for examination] 03.09.1999

[Date of sending the examiner's decision of rejection] 05.06.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-54693

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.⁵

H 0 1 L 25/065
25/07
25/18

識別記号

F I

H 0 1 L 25/08

B

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平9-203224

(22) 出願日 平成9年(1997) 7月29日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 米山 晃

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 弁理士 安富 耕二 (外1名)

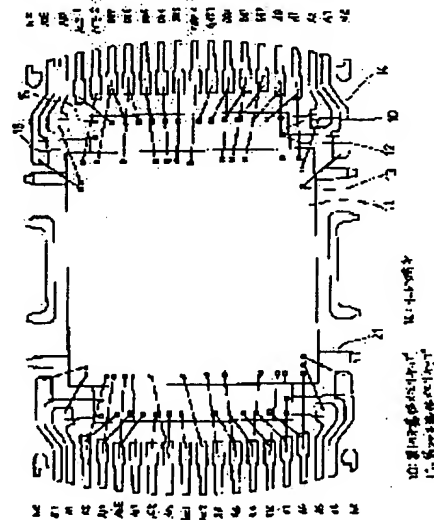
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 アイランド上にメモリチップを積み重ね、個々のチップから共通のリード端子にワイヤボンダする事により、大容量高性能の半導体装置を得る。

【解決手段】 アイランド17上に第1の半導体メモリチップ10を固着し、第1の半導体メモリチップの上に第2の半導体メモリチップ11を固着する。第1と第2の半導体メモリチップで機能を同じにするパッドを近接配置せしめ、各々個別のボンディングワイヤ15、16で共通のリード端子14にワイヤボンダする。各チップ10、11に対して排他的なチップイネーブル信号/C E1、/C E2を個別に与え、どちらか一方のメモリチ

ップに対してデータの読み書きを行うように構成する。



【特許請求の範囲】

【請求項 1】 第 1 の半導体メモリチップと、前記第 1 の半導体メモリチップの上に重ね合わせて固着した、チップサイズが異なる第 2 の半導体メモリチップと、

前記第 1 と第 2 の半導体メモリチップの各々の表面に形成した、データの入出力を行う複数の入出力パッド、及びアドレスデータを印加する複数のアドレスパッドと、前記第 1 及び第 2 の半導体メモリチップの表面に各々形成した、各メモリチップのイネーブル信号を印加するイネーブルパッドと、

前記第 1 と第 2 の半導体チップの近傍に先端を近接し延在せしめるリード端子とを具備し、

前記第 1 の半導体メモリチップの各パッドと前記第 2 の半導体メモリチップの各パッドを、各々対応する信号が印加されるパッドが近接するように配置せしめ、

前記近接するように配置した前記第 1 と第 2 の半導体メモリチップの各パッドを、対応する共通の前記リード端子に各々独立したワイヤでワイヤボンダし、

前記第 1 と第 2 の半導体メモリチップの各イネーブルパッドに前記リード端子からイネーブル信号を供給することにより、前記第 1 と第 2 の半導体メモリチップのどちらか一方に対してデータの入出力を行うように構成したことを特徴とする半導体装置。

【請求項 2】 前記第 1 と第 2 の半導体メモリチップが、互いに異なる種類のメモリ素子を形成したメモリチップであることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記イネーブル信号を印加するリード端子が共通であり、どちらか一方をハイアクティブ動作とし、他方をロウアクティブとしたことを特徴とする、請求項 1 記載の半導体装置。

【請求項 4】 電源供給用の前記リード端子を、前記第 1 と第 2 の半導体チップで各々独立させたことを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記リード端子表面の高さに対して前記第 1 の半導体メモリチップの高さが低く、前記リード端子表面の高さに対して前記第 2 の半導体メモリチップの高さが高くなるように各チップが固定され、

前記第 1 の半導体メモリチップに接続するワイヤと前記第 2 の半導体メモリチップに接続するワイヤとがクロスしていることを特徴とする請求項 1 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数の半導体メモリチップを重ね合わせてモールドして、高密度実装が可能な、半導体装置に関する。

【0002】

【従来の技術】 簡易型携帯電話等では、その動作プログラム等を記憶するために、不揮発型 EEPROM（フラ

ッシュメモリ）が用いられている。しかしながら、フラッシュメモリ装置は書き換え回数に未だ制限があることと、他のメモリ装置に比較して書き換え速度が遅いという特性を併せ持っている。そこで、前記動作プログラムが動作するワークエリアを確保するために、EEPROMとは別に高速動作が可能なスタティック・ランダム・アクセス・メモリ（SRAM）を併用することが行われている。

【0003】 これらのメモリ装置を含む半導体装置の封止技術として最も普及しているのが、図 6 に示したような、半導体チップ 1 の周囲を熱硬化性のエポキシ樹脂 2 で封止するトランスファーモールド技術である。半導体チップ 1 の支持素材としてリードフレームを用いており、リードフレームのアイランド 3 に半導体チップ 1 をダイボンダし、半導体チップ 1 のボンディングパッドとリード 4 をワイヤ 5 でワイヤボンダし、所望の外形状を具備する金型内にリードフレームをセットし、金型内にエポキシ樹脂を注入、これを硬化させることにより製造される。

【0004】

【発明が解決しようとする課題】 しかしながら、上記の電子機器に対する小型、軽量化の波はとどまるところを知らず、これらに組み込まれる半導体装置にも、一層の大容量、高機能、高集積化が望まれている。そこで、以前から発想としては存在していた（例えば実開平 05-48359 号）、複数のチップを同一パッケージ内に収納することが現実的になってきている。しかしながら、実開平 05-48359 号に記載の構成は、半導体チップを対向接合する形になるので、従来品に対してパッドの並び方をミラー関係にした新規のパターンを設計する必要がある。

【0005】

【課題を解決するための手段】 本発明は上述した欠点に鑑みなされたものであり、第 1 の半導体メモリチップの上に第 2 の半導体メモリチップを固着し、外部接続用のリード端子を共用可能な信号に対応するパッドを互いに近接した位置に配置し、各半導体チップのパッドから共用するリード端子に対して互いに独立したワイヤでワイヤボンディングし、全体を一つのパッケージに収納したものである。

【0006】 また、第 1 と第 2 の半導体チップの動作を許可ならしめるイネーブル信号を切り換えることにより、第 1 と第 2 の半導体チップに対して択一的にデータの入出力を可能ならしめたものである。更に、リードの高さに対して、第 1 の半導体チップを下方に設置し第 2 の半導体チップを上方に設置し、第 1 の半導体チップからの第 1 のボンディングワイヤを打ち上げ式でワイヤボンダすると共に第 2 の半導体チップからの第 2 のボンディングワイヤを打ち下げ式でワイヤボンダすることにより、パッケージの薄型化が可能な半導体装置を提供する

ものである。

【0007】

【発明の実施の形態】以下に本発明の一実施の形態を図面を参照しながら詳細に説明する。先ず、図1は本発明の半導体装置のチップとリード端子部分を拡大して示す平面図、図2は本発明半導体装置の断面図、図3と図4は、装置全体を示す平面図と表面図である。尚、図2(A)は図3のAA線断面図を、図2(B)は図3のBB線断面図を各々示している。

【0008】図中、10、11は各々第1と第2の半導体チップを示している。第1の半導体チップ10の表面には、前工程において例えば4MB容量の不揮発性EEPROM(フラッシュメモリ)装置が形成されている。第2の半導体チップ11のシリコン表面には、前工程において例えば1MB容量のスタック型ランダムアクセスメモリ装置(SRAM)が形成されている。

【0009】第1の半導体チップ10のチップの周辺部分には外部接続用に複数の第1のボンディングパッド12が形成され、同様に第2の半導体チップ11の表面には複数の第2のボンディングパッド13が形成されている。メモリ装置におけるパッド群には、メモリセル内の特定箇所を指定するためのアドレスデータ(A0~An)を受け取るアドレスパッド、前記アドレスデータによって指定されたメモリセルにnビットのデータ(DQ1~DQn)を読み書きするための出力パッド、電源電位を印加するためのVCC及びGNDパッド、及び半導体チップの動作を許可するイネーブル信号を受け取るイネーブルパッドとを少なくとも具備している。

【0010】例えば、上記のように4MB容量のメモリチップであれば、アドレスパッドとして19個(A0~A18)のパッドを具備し、1MB容量のメモリチップであれば、アドレスパッドとして17個(A0~A16)のパッドを具備する。また、入出力データ長が8ビットのものであれば、入出力パッドとして8個(D0~D7)のパッドを具備している。

【0011】第1と第2の半導体メモリチップ10、11の表面には、各ボンディングパッド12、13を被覆するようにシリコン窒化膜、シリコン酸化膜、ポリイミド系絶縁膜などのパッシベーション皮膜を形成し、ボンディングパッド12、13の上部は電気接続のために選択的に開口している。第1の半導体メモリチップ10の大きさは略3.0mm×8.5mmであり、第2の半導体メモリチップ11の大きさは略5.6mm×6.5mmである。第1と第2の半導体メモリチップ10、11の大きさと形状を選択することにより、第1の半導体メモリチップ10の周辺部分に形成したパッド12が第2の半導体メモリチップ11で隠れないようにしている。

【0012】第1と第2の半導体メモリチップ10、11の周辺には、外部接続用の複数のリード端子14が各

チップ10、11に先端を近接するように延在している。第1の半導体メモリチップ10表面のボンディングパッド12は、金線等の第1のボンディングワイヤ15によって、対応するリード端子14とワイヤボンディングしている。同様に、第2の半導体メモリチップ11のボンディングパッド13は、同じく金線などの第2のボンディングワイヤ16によって、対応するリード端子14にワイヤボンディングしている。

【0013】図2を参照して、第1の半導体メモリチップ10はリードフレームのアイランド17上にAgペースト等、導電性あるいは絶縁性の接着剤18によりダイボンディングしており、更に第1の半導体メモリチップ10の前記パッシベーション皮膜上には絶縁性のエポキシ系接着剤19により第2の半導体メモリチップ11を固着している。

【0014】第1と第2の半導体メモリチップ10、11、リード端子14のチップに近接する側の先端部、および第1と第2のボンディングワイヤ15、16を含む主要部は、周囲をエポキシ系の熱硬化樹脂20でモールドし、パッケージ化する。リード端子14はパッケージ側壁の、樹脂20の厚みの約半分の位置から外部に導出される。即ち、図2(A)を参照して、リード14から上側の樹脂厚みt1と下側の樹脂厚みt2とはほぼ同等の厚みである。そして、樹脂20の外部に導出したリード端子14は一端下方に曲げられ、再度曲げられてZ字型にフォーミングされている。このフォーミング形状は、リード端子14の露出した先端部の表面側をプリント基板に形成した導電パターンに対向接合する、表面実装用途のための形状である。

【0015】この半導体装置は、先ずリードフレームの状態でアイランド17の4隅に設けた保持用タイバー21に設け加工22を施すことにより、アイランド17の高さとリード端子14の樹脂内先端部との高さを異ならしめておき、アイランド13に第1と第2の半導体メモリチップ10、11をダイボンディングし、ボンディングパッド12、13とリード端子14の先端部とをワイヤボンディングし、次いでアイランド17部分が上下金型に設けたキャビティ内に位置するように、リードフレームの枠体とリード端子14を上下金型で挟み固定し、斯る状態で樹脂を注入、硬化させ、金型内から装置を取り出してリード端子14に設け加工を施すことにより得ることができる。

【0016】前記リードフレームは、板厚が150μ程度の銅系または鉄系の板状素材をエッチング又はパンチング加工することによりアイランド17、リード端子14等の各パーツを成形したもので、モールド工程後に切断されるまでは各パーツはリードフレームの枠体に保持されている。保持された状態でリード端子14の先端部と前記枠体とは高さが一致しており、アイランド17だけが設け加工されて高さが異なる。その為完成後の装

直ではアイランド17を保持するタイバー21は樹脂20内部で上方に折り曲げられ、リード端子14の高さと一致する位置で再びほぼ水平に延在し、そして樹脂20表面に切断面が露出して露端する。

【0017】各半導体メモリチップ10、11は、組立工程直前にバックグラインド工程により表面を研磨して250～300μmの厚みにしている。リード端子14の板厚(図2(A)の図示t3)は約130μmである。板状材料から同時に形成するのでアイランド17の板厚も同じ値であり、この値は各パーツの機械的強度を保つほぼ限界の値である。そして、斯かる装置はアイランド17の表面側17aを樹脂20の表面に露出するようにすることで、アイランド17の位置を下げ、アイランド17の板厚と、第1と第2の半導体メモリチップ10、11の厚み、および接着剤18、19の厚み(各々30～40μmは必要である)を差し引いて、第2の半導体メモリチップ11の上方に240～300μmの樹脂20の厚みを残しつつ、全体を1mm程度の厚みのパッケージ内に収納することを可能ならしめた。結果、アイランド17の表面表面17aは樹脂20の表面と平坦面を構成し、この構造はキャビティ内にリードフレームをセットするときに、アイランド表面17aが上又は下金型のキャビティ表面に当接するように設置し、樹脂封止する事で得ることができる。

【0018】図5は第1と第2のボンディングワイヤ15、16部分を示す拡大断面図である。リード端子14の先端部14aがパッケージ厚みの約半分の高さに位置するのに対し、第1のボンディングパッド12の表面はリード端子先端部14aのボンディングエリア22より図示t6の高さだけ下方の低い場所に位置し、第2のボンディングパッド13の表面はボンディングエリア22より上方の高い場所に位置する。第1のボンディングワイヤ15は、第1のボンディングパッド12の表面に1stボンドが打たれ、略垂直に上昇した後、ボンディングエリア22と同じかやや高い位置で折り曲げられ、水平方向に延在してボンディングエリア22表面に2ndボンドが打たれる。1stボンド位置より2ndボンド位置の方が高い「打ち上げ」となるので、第1のボンディングワイヤ15が下方に垂れることもなく、ワイヤの長さも短くできる。従ってワイヤのループ高さを最も低くすることが可能となる。第2のボンディングワイヤ16は、第2のボンディングパッド13に1stボンドが打たれ、ある高さ(図示t4)まで略垂直に上昇した後、折り曲げられ、下方に延在してボンディングエリア22表面の第1のボンディングワイヤ15より遠方に2ndボンドが打たれる。1stボンド位置より2ndボンド位置の方が低い「打ち下げ」となるので、第2のボンディングワイヤ16が第2の半導体メモリチップ10の角部に接触しないように「ある高さt4」が設けられている。

【0019】このように第1のボンディングワイヤ15を「打ち上げ」とすることにより、第1のボンディングワイヤ15のループ高さを低くすることができるので、第2のボンディングワイヤ16との間隔(図示t5)を設けることが容易になる。従って、第1と第2のボンディングワイヤ15、16とを交差配置することが可能となり、リードとパッドとの位置関係の制約を緩やかにできる。しかも、第2のボンディングワイヤ16の「ある高さt4」を過剰に押し上げずに済むので、パッケージ外形寸法を小型化できる。

【0020】図1に戻って、各半導体メモリチップ10、11の各パッド12、13と、各リード端子14とを第1と第2のボンディングパッド15、16で上述したように接続する。そして、機能を同じにするパッドを共通のリード端子14に接続している。同図において、DQ0～DQ7はデータの入出力を行うリード端子14(データピン)を示し、A0～A18はアドレスデータの入力を行うリード端子14(アドレスピン)を示している。各ピンに対応してボンディングワイヤ15、16が打たれたパッドが、各機能に対応するパッドとなる。

【0021】第1と第2の半導体メモリチップ10、11はデータ長が同じであるので、前記データピンDQ0～DQ7には第1と第2のボンディングワイヤ15、16を両方ボンディングする。一方、第1と第2の半導体メモリチップ10、11で容量が異なる(1MB、4MB)場合は、アドレスピンA0～A18のうち1MB分に相当するA0～A16には第1と第2のボンディングワイヤ15、16の両方をボンディングし、上位のA17、A18には第2の半導体メモリチップ11の第2のボンディングワイヤ16だけをワイヤボンディングしている。

【0022】また、同図中の/WEは書き込み許可信号を入力するライトイネーブルピンを示し、/OEは出力許可信号を入力するアウトプットイネーブルピンを示し、/CE1、CE2は第1と第2の半導体メモリチップ10、11のチップ選択信号を入力するチップイネーブルピンを示し、VCC1、VCC2は電源電位ピンを、GND1、GND2は接地電位ピンを示し、/CEはSRAM特有のもう一つのチップイネーブルピンを各々示している。ライトイネーブルピン/WEとアウトプットイネーブルピン/OEは共通であるので第1と第2のボンディングワイヤ15、16をボンディングしている。電源電位ピンVCC1、VCC2と接地電位ピンGND1、GND2は共用も可能であるが、この実施例では各々個別のピンとしている。第2の半導体メモリチップ11が不揮発性であるのに対し、第1の半導体メモリチップ10は揮発性の記憶装置であるので、少なくとも電源電位ピンVCC1、VCC2を別個にしておくことにより、電子機器の電源をOFFにした状態でも揮発性の第1の半導体メモリチップ10に記憶した情報を消去

しないようにバックアップ電源でバックアップするという様なアプリケーション開発が可能になる。

【0023】第1と第2の半導体メモリチップ10、11は、排他的なチップイネーブル信号をピン／CE1、／CE2に印可することによって、どちらか一方をデータの入出力が可能状態に選択する。選択した状態でライトイネーブル信号をピン／WEに印可することにより、ピンA0～A18に印可したアドレスデータに対応する複数個のメモリセルに、ピンDQ0～DQ7に印可したデータを書き込む。読み出す場合には、選択した状態でピン／OEにアウトプットイネーブル信号を印可することによって、ピンA0～A18に印可したアドレスデータに対応するメモリセルに書き込まれたデータを、ピンDQ0～DQ7に出力する。

【0024】尚、チップイネーブル信号は排他的な信号であるので、第1と第2の半導体メモリチップ10、11のどちらか一方の入力部に前記チップイネーブル信号を反転するインバータ回路を形成し、一方をハイアクティブ、他方をロウアクティブに設計することにより、チップイネーブルピン／CE1、／CE2を共通ピンにすることが可能である。

【0025】以上のように構成することにより、1つのパッケージ内に複数の半導体チップを搭載することが可能になる。例えばアイランド上にチップを横に併設するような手法よりも、チップを積み重ねることにより、より大きなサイズのチップを搭載することが可能である。更にはアドレス、データ等の、機能を同じにするリード端子を共通化したので、ピン数を削減することができる。半導体メモリ装置のピンサインは、米国の工業規格であるJEDECに準じて配置した場合が多く、故にチップを積み重ねた場合に共通のパッドを近接配置することが容易である。または、既存品のパッド配置をそのまま利用することも可能である。そして、パッドの配置を近接させることにより、第1と第2のボンディングワ

イヤ15、16の延在する長さを短くすることができ、ワイヤの短絡事故や断線事故の危険性を低減できる。

【0026】更に、第1のボンディングワイヤ15を「打ち上げ」、第2のボンディングワイヤ16を「打ち下げ」とすることにより、両者の交差配置が可能になるので、リード端子14の共通化を容易にできる。

【0027】

【発明の効果】以上に説明した通り、本発明によれば、1つのパッケージ内に複数の半導体メモリチップ10、11を積層する事により、電子機器の経路短小化の要求に沿った高密度実装の製品を提供できる利点を有する。また、第1と第2の半導体メモリチップ10、11を積み重ね構造とすることにより、パッケージの大きさに比べて大面積のチップを搭載することができる利点を有する。また、積み重ねることにより近似するパッドを近接配置することが可能となり、これらを共通のリード端子14にワイヤボンディングする事により、装置のピン数を削減できる利点を有する。

【0028】また、第1のボンディングワイヤ15を「打ち上げ」、第2のボンディングワイヤ16を「打ち下げ」としたことにより、両者の間隔を維持して交差配置することが可能になる。これにより、ワイヤの短絡等の事故を防ぎつつ、パッド配置に自由度を持たせることが可能である利点を有する。更に、ワイヤループの高さを抑えることができるので、パッケージ外形寸法の高さを不必要に厚くせず済むという利点をも有する。

【図面の簡単な説明】

【図1】本発明を説明するための平面図である。

【図2】本発明を説明するための断面図である。

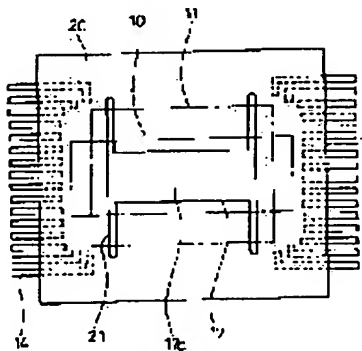
【図3】本発明を説明するための平面図である。

【図4】本発明を説明するための表面図である。

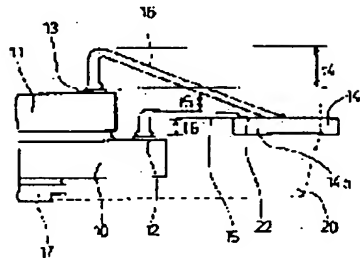
【図5】本発明を説明するための断面図である。

【図6】従来例を説明するための断面図である。

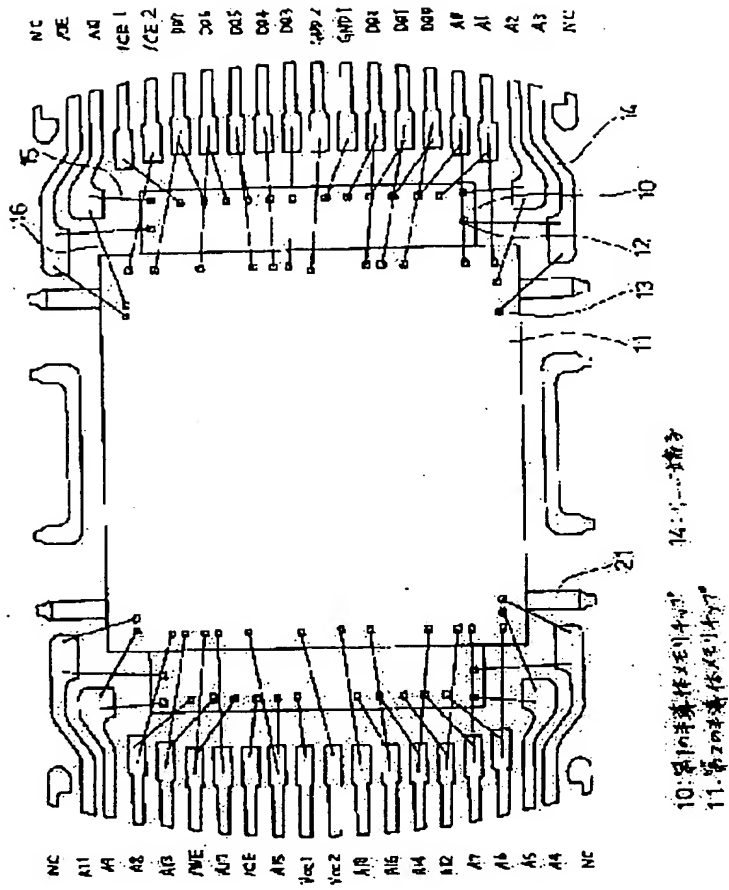
【図4】



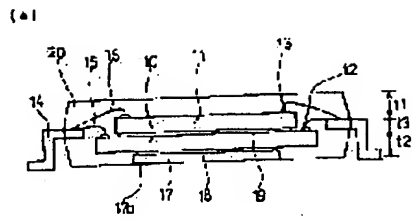
【図5】



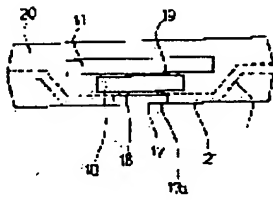
[1]



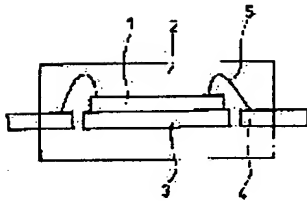
【図2】



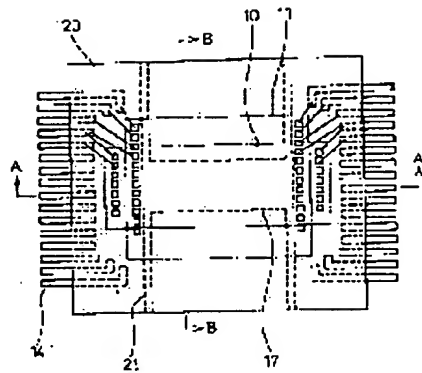
(b)



【図6】



【図3】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.